

In Fig. 3, a soldered joint carried out in accordance with the method of the invention is shown between the semiconductor element 1 and the Cu conductor element. On the mounting location 8 of the semiconductor element 1, the Cu conductor element 4 comprises a convex surface 9. In this manner, the thickness of the soldering layer 7 under the center of the semiconductor element 1 is at minimum. With increasing distance from the center of the semiconductor element, the thickness of the soldering layer 7 increases.

In this manner, an improved cooling of the central area of the semiconductor element 1 is achieved whereas the cooling effect decreases towards the peripheral edges. Accordingly, a more uniformly distributed but also reduced maximum surface temperature of the semiconductor elements 1 is achieved.

The problem of the thermo-mechanical adaptation between the semiconductor element 1 and the Cu conductor element 4 and the ceramic substrate 5, respectively, appears in particular with semiconductor elements 1 having large dimensions. The soldered joint in accordance with the invention ensures a high reliability, because at the outer edges of the semiconductor element 1 a soldering layer 7 of higher thickness contributes to decreasing mechanical tensions, whereas in the thin soldering layer 7 under the center of the semiconductor element 1 the mechanical tension disappears in an ideal case.



(19) BUNDESREPUBLIK
DEUTSCHLAND

DEUTSCHES
PATENT- UND
MARKENAMT

(20) Offenlegungsschrift
(10) DE 199 08 749 A 1 (4)

(5) Int. Cl.⁷:
H 01 L 21/60
H 01 L 21/58
H 01 L 23/34

(21) Aktenzeichen: 199 08 749.0
(22) Anmeldetag: 20. 2. 1999
(23) Offenlegungstag: 31. 8. 2000

(71) Anmelder:
DaimlerChrysler AG, 70567 Stuttgart, DE

(72) Erfinder:
Keller, Christian, Dr., 14169 Berlin, DE.

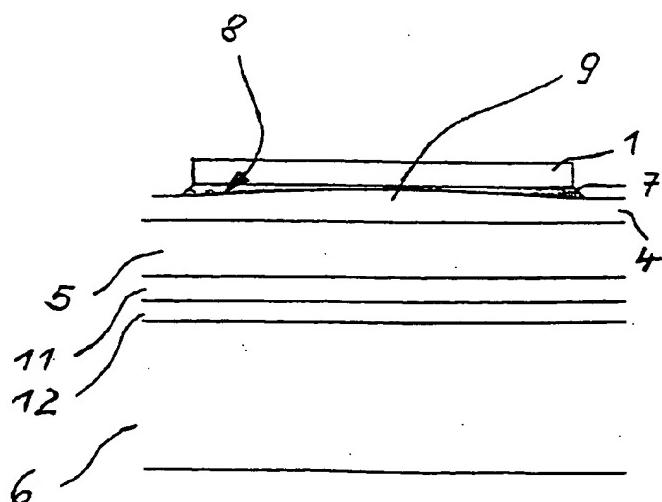
(66) Entgegenhaltungen:
JP 06-037122 A. In: Pat.Abstr. of JP;
JP 09-331150 A. In: Pat.Abstr. of JP;
JP 60-100440 A. In: Pat.Abstr. of JP;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Verfahren zur Erzielung einer gleichmäßigen Temperaturverteilung bei auf einen Träger aufgelöten Halbleiter-Elementen

(55) Die Erfindung betrifft ein Verfahren zur Erzielung einer gleichmäßigen Temperaturverteilung bei auf einen Träger aufgelöten Halbleiter-Elementen, insbesondere in Aufbauten mit hochwirksamer Kühleinrichtung. Die Aufgabe der Erfindung, ein gattungsgemäßes Verfahren zu entwickeln, mit dem der Maximalwert der Halbleiter-Element-Oberflächentemperatur gesenkt sowie die Zuverlässigkeit der Lötverbindung zwischen Halbleiter-Element und Leiterbahn erhöht werden können, wird dadurch gelöst, daß die Lotschicht (7) in der Mitte der Montagestelle (8) des Halbleiter-Elementes (1) dünner als an den Rändern ausgeführt wird.



DE 199 08 749 A 1

DE 199 08 749 A 1

Beschreibung

Die Erfindung bezieht sich auf ein Verfahren zur Erzielung einer gleichmäßigen Temperaturverteilung bei auf einen Träger aufgelöten Halbleiterelementen gemäß dem Oberbegriff des Anspruchs 1.

Bei der Herstellung und Anwendung von Leistungsmodulen, insbesondere für Stromrichter zur elektrischen Energiewandlung und in der Antriebstechnik, entstehen Probleme bei der Wärmeabfuhr an den Halbleiter-Bauelementen.

In der DE 196 45 636 C1 wird ein Leistungsmodul zur Ansteuerung von Elektromotoren beschrieben, bei dem die einzelnen funktionalen Einheiten kompakt zusammengefaßt angeordnet sind und eine Verbesserung des Wärmeübergangs zwischen den Halbleiter-Bauelementen der Leistungseinheit und dem Kühlkörper durch direkte Kühlung der Halbleiter-Bauelemente und die Integration des Kühlkörpers in eine Kühleinheit erreicht wird.

Die Halbleiter-Bauelemente der Leistungseinheit sind zum Beispiel auf ein geeignetes Substrat aufgebracht, welches direkt auf einen Kühlkörper mit optimierter Oberfläche aus einem gut wärmeleitfähigen Material aufgebracht und mit diesem durch Löten verbunden ist. Der Kühlkörper ist als Einfügeteil ausgebildet und direkt in die Kühleinheit des Leistungsmoduls integriert.

Bedingt durch die Steigerung der Verlustleistungsdichten, die mit einer höheren Ausnutzung der Halbleiter-Elemente einhergeht, ergeben sich folgende Nachteile:

- Es treten erhöhte Temperaturgradienten auf der Oberfläche der Halbleiter-Elemente auf.
- Eine zeitabhängige Last-Wechselbeanspruchung führt zu höheren Temperaturänderungen im Halbleiter-Aufbau.
- Die thermo-mechanische Beanspruchung der verbliebenen Wärmeübergänge erhöht sich.

Der Erfindung liegt die Aufgabe zugrunde, ein gattungsgemäßes Verfahren zu entwickeln, mit dem der Maximalwert der Halbleiter-Element-Oberflächentemperatur gesenkt sowie die Zuverlässigkeit der Lötverbindung zwischen Halbleiter-Element und Leiterbahn erhöht werden können.

Erfnungsgemäß wird diese Aufgabe durch die Merkmale des Anspruchs 1 gelöst. Danach wird die Lotschicht in der Mitte der Montagestelle des Halbleiter-Elementes dünner als an den Rändern ausgeführt.

Hierdurch wird gegenüber einer nach dem bekannten Stand der Technik ausgeführten Lötverbindung eine verbesserte Kühlung des mittleren Gebietes des Halbleiter-Elementes erreicht, während sich zu den Rändern hin die Kühlwirkung verschlechtert. Dadurch wird eine gleichmäßiger verteilte sowie auch eine geringere maximale Oberflächentemperatur der Halbleiter-Elemente bewirkt.

Die Zuverlässigkeit der Lötverbindung bei zeitabhängiger Last-Wechselbeanspruchung steigt, da an den Außenkanten des Halbleiter-Elementes eine Lotschicht größerer Stärke zum Abbau mechanischer Spannungen beiträgt, während in der dünnen Lotschicht unter der Mitte des Halbleiter-Elementes die mechanische Spannung idealerweise verschwindet.

Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

Die Erfindung wird nachstehend an einem Ausführungsbeispiel einer Anordnung von Halbleiter-Bauelementen auf Cu-Leiterbahnen anhand einer Zeichnung näher erläutert. Es zeigen:

Fig. 1 die schematische Darstellung eines Halbleiter-Aufbaus mit Darstellung der örtlichen Verteilungen der Halblei-

ter-Element-Oberflächentemperaturen,

Fig. 2 die schematische Darstellung einer Anordnung von Halbleiter-Elementen auf Cu-Leiterbahnen und einem Keramiksubstrat entsprechend dem Stand der Technik und

Fig. 3 die Anordnung von Halbleiter-Elementen nach Fig. 2 mit der erfungsgemäßen Ausführung der Lotschicht.

Die Fig. 1 zeigt einen typischen Halbleiter-Aufbau mit Halbleiter-Elementen 1 auf einem Keramik-Substrat 5 und einer zugehörigen Temperaturverteilung 3 auf den Oberflächen der Halbleiter-Elemente 1 für eine ausgewählte Lastverteilung, wie sie in einem Antriebssystem auftreten kann.

Der Halbleiter-Aufbau 2 mit den aufgelöten Halbleiter-Elementen 1 ist hinsichtlich der Kühlung hochwirksam gestaltet, um die elektrische Ausnutzbarkeit der Halbleiter-Elemente 1 zu erhöhen und bei bestimmten Anwendungen auch höhere maximale Kühlmitteltemperaturen zuzulassen.

Die Halbleiter-Elemente 1 sind auf eine Cu-Leiterbahn 4 aufgebracht, die sich auf einem Keramik-Substrat 5 befindet, welches mit einer Kühlplatte 6 verbunden ist. Zur Kühlung wird zum Beispiel ein Gemisch aus Wasser und Frostschutzmittel verwendet, welches direkt an die Unterseite der Kühlplatte 6 geführt wird (nicht dargestellt). Hierdurch wird der Wärmewiderstand zwischen den Halbleiter-Elementen 1 und dem Kühlmedium deutlich gesenkt, da einige Wärmeübergänge gegenüber konventionellen Kühlanordnungen entfallen.

Die Höhe der mittleren Temperaturen ergibt sich aus den eingeprägten Verlustleistungsdichten und dem Kühlmedium an der Unterseite der Kühlplatte 6. Besonders stark beanspruchte Elemente 1 weisen eine hohe Oberflächentemperatur auf und auch eine besonders große Differenz 10 der Oberflächentemperaturen zwischen zwischen der Mitte und den Rändern des Halbleiter-Bauelements 1.

In der Fig. 2 ist eine Ausführung der Lötverbindung zwischen den Halbleiter-Elementen 1 und der Cu-Leiterbahn 4 gemäß dem Stand der Technik dargestellt. Die Cu-Leiterbahn 4 ist plan ausgeführt. Zwischen dem Halbleiter-Element 1 und der Cu-Leiterbahn 4 ergibt sich eine Lotschicht 7 mit idealerweise konstanter Stärke. Die für diese Verbindungen bevorzugten Lote weisen einen hohen Bleiannteil auf, wodurch sich für die Lotschicht 7 schlechte Wärmeleitungseigenschaften ergeben. Um einen guten Wärmewiderstand zwischen dem Halbleiter-Element 1 und Cu-Leiterbahn 4 zu erzielen, müßte die Lotschicht 7 möglichst dünn gewählt werden. Bedingt durch die thermo-mechanische Fehlanpassung zwischen dem als Halbleiterwerkstoff verwendeten Silizium und Kupfer als Leiterbahnwerkstoff bzw. dem darunter liegenden Keramik-Substrat 5 ist eine gewisse Stärke der Lotschicht 7 erforderlich, um die maximalen mechanischen Spannungen bei thermischer Wechsellauf auf vertretbare Werte zu begrenzen.

Die Kühlplatte 6 ist über eine Cu-Metallisierung 11 und eine Lotschicht 12 mit dem Keramik-Substrat 5 verbunden.

In der Fig. 3 ist eine nach dem erfungsgemäßen Verfahren gestaltete Lötverbindung zwischen Halbleiter-Element 1 und Cu-Leiterbahn 4 dargestellt. Die Cu-Leiterbahn 4 weist an der Montagestelle 8 des Halbleiter-Elementes 1 eine konvexe Oberfläche 9 auf. Dadurch ist die Stärke der Lotschicht 7 unter der Mitte des Halbleiter-Elementes 1 minimal.

Mit zunehmenden Abstand zur Mitte des Halbleiter-Elementes 1 nimmt die Stärke der Lotschicht 7 zu. Hierdurch wird eine verbesserte Kühlung des mittleren Gebietes des Halbleiter-Elementes 1 erreicht, während sich zu den Rändern hin die Kühlwirkung abschwächt. Dies bewirkt eine gleichmäßiger verteilte sowie auch geringere maximale Oberflächentemperatur der Halbleiter-Elemente 1.

Das Problem der thermo-mechanischen Anpassung zwis-

schen Halbleiter-Element 1 und Cu-Leiterbahn 4 bzw. Keramik-Substrat 5 tritt verstärkt bei Halbleiter-Elementen 1 mit großen Abmessungen auf. Die Lotverbindung nach der Erfindung gewährleistet eine größere Zuverlässigkeit, da an den Außenkanten des Halbleiter-Elementes 1 eine Lotschicht 7 größerer Stärke zum Abbau mechanischer Spannungen beiträgt, während in der dünnen Lotschicht 7 unter der Mitte des Halbleiter-Elementes 1 die mechanische Spannung idealerweise verschwindet.

5

10

Bezugszeichenliste

1 Halbleiter-Element	
2 Halbleiter-Aufbau	
3 Örtliche Verteilung der Halbleiter-Element-Oberflächen-temperatur	15
4 Cu-Leiterbahn	
5 Keramik-Substrat	
6 Kühlplatte	
7 Lotschicht	20
8 Montagestelle	
9 Oberfläche	
10 Temperaturdifferenz	
11 Cu-Metallisierung	
12 Lotschicht	25

Patentansprüche

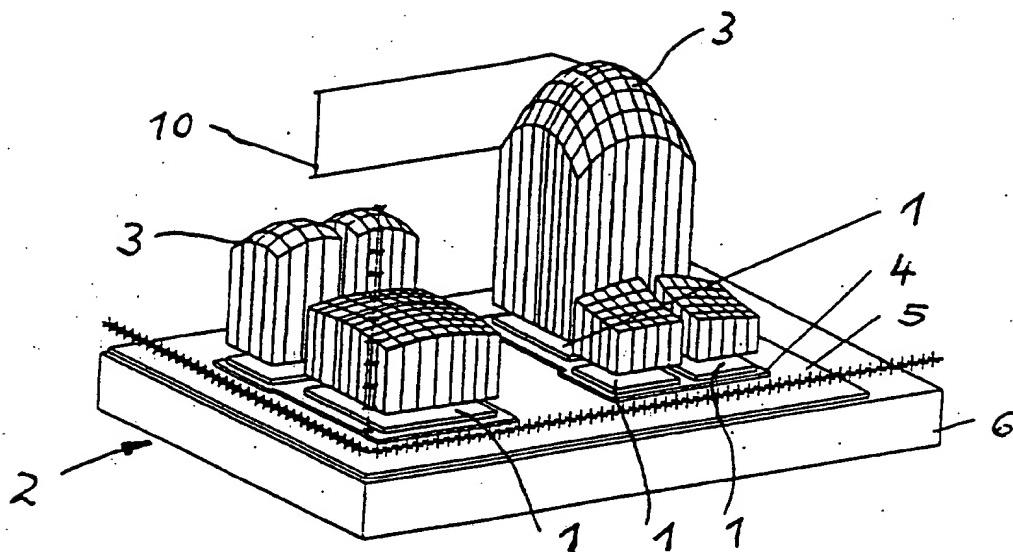
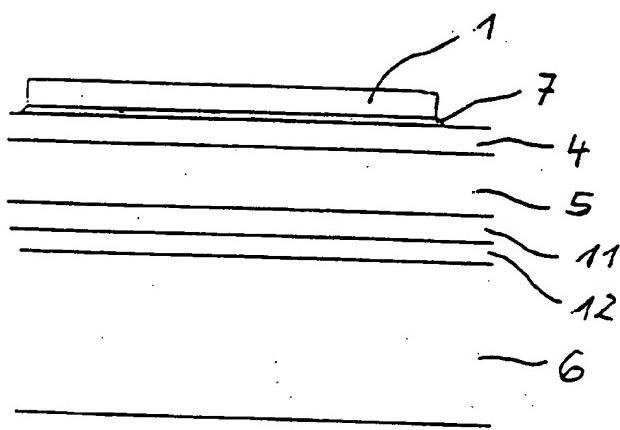
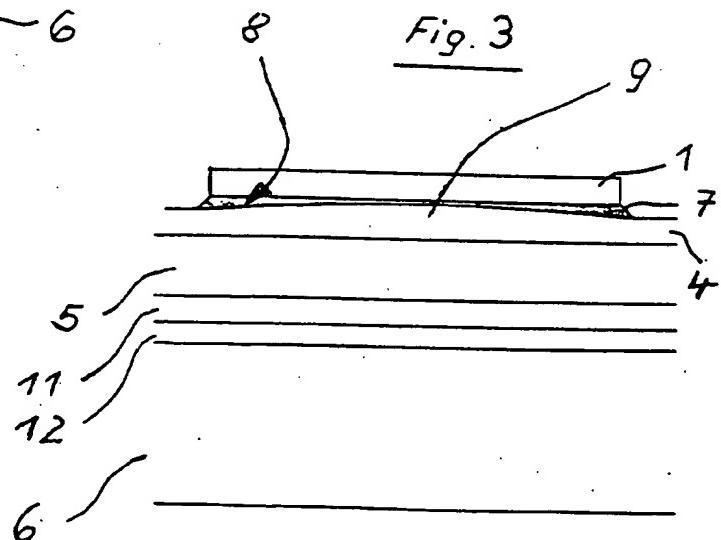
1. Verfahren zur Erzielung einer gleichmäßigen Temperaturverteilung bei auf einen Träger aufgelöten Halbleiter-Elementen, insbesondere in Aufbauten mit hochwirksamer Kühleinrichtung, dadurch gekennzeichnet, daß die Lotschicht (7) in der Mitte der Montagestelle (8) des Halbleiter-Elementes (1) dünner als an den Rändern ausgeführt wird. 30
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Oberfläche (9) einer Leiterbahn (4) an der Montagestelle (8) des Halbleiter-Elementes (1) konvex ausgeführt wird. 35
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Oberfläche (9) einer Leiterbahn (4) an der Montagestelle (8) des Halbleiter-Elementes (1) stufenförmig ausgeführt wird. 40
4. Verfahren nach den Ansprüchen 2 und 3, dadurch gekennzeichnet, daß die Oberfläche (9) einer Leiterbahn (4) an der Montagestelle (8) des Halbleiter-Elements (1) durch Abtragen von Leiterbahnwerkstoff gestaltet wird. 45
5. Verfahren nach den Ansprüchen 1 und 4, dadurch gekennzeichnet, daß die Oberfläche (9) einer Leiterbahn (4) in der Mitte der Montagestelle (8) des Halbleiter-Elements (1) ein planparalleles Gebiet zur Oberfläche des Halbleiter-Elements (1) aufweist. 50

Hierzu 1 Seite(n) Zeichnungen

55

60

65

Fig. 1Fig. 2Fig. 3